

選択問題

情報学専攻

科目の番号

4

計算機工学 [4-2]

1. 以下の問いに答えよ。特に断りが無い限り数値は符号なし整数である。

- (1) 10進数の2019を16進数で書け。
- (2) 2進数の $(1111\ 1010\ 1011)_2$ を8進数で書け。
- (3) 2の補数で10進数の負数 -4096 を表すのに必要な最小ビット数を答えよ。

2. 4バイトの符号なし整数 x, y, z について、以下の問いに答えよ。

- (1) x の最大値を答えよ。
- (2) 積和演算 $xy + z$ の結果を表わすのに必要な最小ビット数を答えよ。
- (3) (2)で書いた解答が正しいことを証明せよ。

3. 命令キャッシュとデータキャッシュが独立に搭載されたCPUで、あるプログラムを実行した。このときのキャッシュミス率は、命令キャッシュとデータキャッシュでそれぞれ2%と8%であった。また、プログラムにおけるロード命令及びストア命令の出現頻度は、合計で38%であった。1命令の実行に必要なクロックサイクル数は、メモリストールなしで2クロックサイクルであるが、キャッシュミスが生じた場合には、常に50クロックサイクルのミスペナルティが余計に必要なとなる。以下の問いに答えよ。

- (1) プログラム実行時に、命令キャッシュミスとデータキャッシュミスにより余計に生じたクロックサイクル数の合計を答えよ。ただし、プログラムで実行された命令の合計数を N とする。
- (2) CPU実行時間を求めよ。ただし、同じプログラムを実行したときに、命令キャッシュミスもデータキャッシュミスも全く発生しないと仮定したCPU実行時間を100とする。
- (3) CPUのクロック周波数を4倍にしたとき、CPU実行時間はどのくらいになるか？ただし、キャッシュミス処理する絶対時間は変わらないものとする。
- (4) (3)の解答に基づき、CPUのクロック周波数がCPU性能に与える影響を説明せよ。

符号なし整数: unsigned integer, 10進数: digit number, 16進数: hexadecimal number, 2進数: binary number, 8進数: octal number, 2の補数: 2's complement, 最小ビット数: minimal number of bits, 積和演算: multiply-accumulate operation, 命令キャッシュ: instruction cache, データキャッシュ: data cache, 独立に: independently, プログラム: program, 実行: execution, キャッシュミス率: cache miss rate, 出現頻度: frequency, 合計: total, メモリストール: memory stall, ミスペナルティ: miss penalty, 絶対時間: absolute time

$$\begin{array}{r}
 1. (1) \quad 16 \overline{) 2019} \\
 \underline{16 \ 126} \quad \dots 3 \\
 \underline{16 \ 7} \quad \dots 14 \\
 \underline{0} \quad \dots 7
 \end{array}
 \uparrow$$

$$(2019)_D = (7E3)_H$$

$$(2) (1111 \ 1010 \ 1011)_2 = (7653)_8$$

$$(3) -4096 = -2^{12}$$

2's complement = 1 0000 0000 0000
 at least 13 bit is needed.

$$2. (1) (1111)_2 = 15$$

(2) 8 bit

(3) for $\forall x, y, z \in [0, 15]$

$$\Rightarrow xy + z \in [0, 230], \quad 2^7 < 230 < 2^8$$

thus we need 8 bit to store the result

(1) instruction cache miss:

$$N \cdot 2\% \cdot 50 = N$$

data cache miss:

$$N \cdot 38\% \cdot 8\% \cdot 50 = \frac{38}{25} N = 1.52 N$$

the extra number of clock cycles is $2.52 N$

$$(2) \text{ Total clock} = 2N + 2.52N = 4.52N$$

when there is no cache miss: $2N = 100, N = 50$

thus the CPU time is 226

(3) clock frequency is 4 times bigger than before, because the real CPU cache miss penalty remains, the corresponding number of clock cycle is $50 \times 4 = 200$.

$$\Rightarrow \text{CPU time} = 2.52N + \frac{2N}{4} = 151$$

(4) If the frequency of CPU increases, the CPU performance will increase relatively slowly due to the real cache miss penalty remains the same.